

DRIVING METHOD FOR PLASMA DISPLAY AND PLASMA DISPLAY DEVICE

Publication number: JP9081073

Publication date: 1997-03-28

Inventor: KANAZAWA GIICHI

Applicant: FUJITSU LTD

Classification:

- international: G09G3/288; G09G3/20; G09G3/28; G09G3/20;
G09G3/28; (IPC1-7): G09G3/28

- European: G09G3/28T; G09G3/20G2; G09G3/20G4;
G09G3/20G6F2; G09G3/20G20A; G09G3/28G;
G09G3/288C4D; G09G3/288C6; G09G3/288D;
G09G3/288S

Application number: JP19950235374 19950913

Priority number(s): JP19950235374 19950913

Also published as:

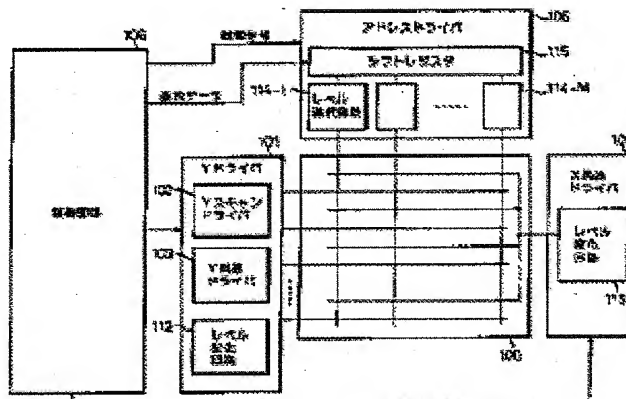


US5835072 (A1)
FR2738654 (A1)
CN1145508 (A)
CN1109326C (C)

Report a data error here

Abstract of JP9081073

PROBLEM TO BE SOLVED: To embody the full-color high-luminance display of a highfinesness large screen panel, to eliminate the unnaturality at the time of animation display and to improve the display quality by making it possible to express the luminance of another stage with one sub-field. **SOLUTION:** This plasma display device has a plasma display panel 100 having plural cells for selectively executing discharge light emission, addressing means 101, 102 for accumulating the charges corresponding to the display data at every cell by selectively impressing voltages on the respective cells of the plasma display panel according to the display data and holding discharge means 101, 104 which impress the voltages of periodically changing polarities on the plural cells and generate discharge in the cells accumulated with the prescribed charges so as to emit light. These addressing means impress the plural different voltages corresponding to the gradations to be displayed on the respective cells and the holding discharging means change the intensity of the impressed voltages.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-81073

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	K
		4237-5H		B
		4237-5H		H

審査請求 未請求 請求項の数20 O L (全 15 頁)

(21) 出願番号 特願平7-235374

(22) 出願日 平成7年(1995)9月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

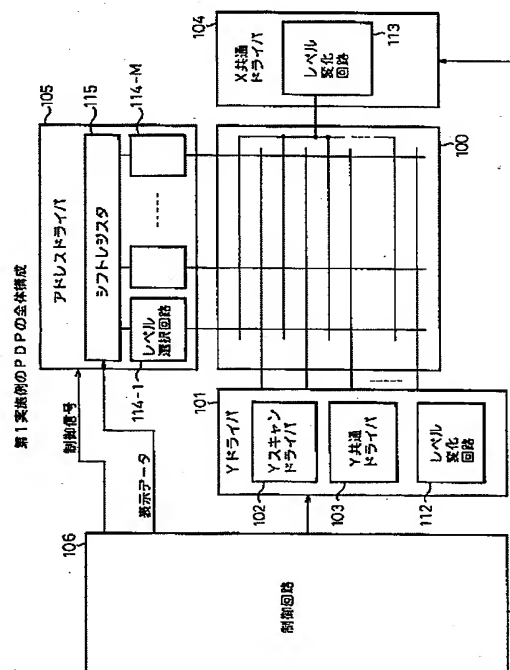
(74) 代理人 弁理士 石田 敬 (外3名)

(54) 【発明の名称】 プラズマディスプレイの駆動方法及びプラズマディスプレイ装置

(57) 【要約】

【課題】 1つのサブフィールドで他段階の輝度を表現できるようにすることで、高精細大画面パネルでのフルカラー高輝度表示を実現すると共に、動画表示の際の不自然さをなくし表示品質を向上させる。

【解決手段】 選択的に放電発光を行う複数のセルを有するプラズマディスプレイパネル100と、表示データに従ってプラズマディスプレイパネルの各セルに選択的に電圧を印加し、セル毎に表示データに対応する電荷を蓄積させるアドレス手段101、102と、複数のセルに周期的に極性が変化する電圧を印加し、所定の電荷が蓄積されたセルで放電を生じさせて発光を行わせる維持放電手段101、104とを備えるプラズマディスプレイ装置において、アドレス手段は表示する階調に対応する複数の異なる電圧を各セルに印加し、維持放電手段は印加電圧の強度を変化させる。



【特許請求の範囲】

【請求項1】 選択的に放電発光を行う複数のセルを有し、

表示データに従って各セルに選択的に電圧を印加し、セル毎に表示データに対応する電荷を蓄積するアドレス期間と、

前記複数のセルに維持放電電圧を印加し、所定の電荷が蓄積されたセルで放電を生じさせて発光を行わせる維持放電期間とを備えるプラズマディスプレイパネルの駆動方法において、

前記アドレス期間においては、表示する階調に対応する複数の異なる電圧を各セルに印加してセル毎に印加電圧に対応した量の電荷を蓄積し、

前記維持放電期間においては、印加電圧の強度を変化させることを特徴とするプラズマディスプレイの駆動方法。

【請求項2】 前記プラズマディスプレイパネルは、平行に配置された複数対の第1及び第2の電極と、該複数対の第1及び第2の電極に対して直行する形で配置された複数の第3の電極とを備えており、前記セルは前記第1、第2及び第3電極で規定される範囲に対応し、前記アドレス期間においては、前記複数の第2の電極にスキャンパルスを実行して順次印加することにより該スキャンパルスが印加される第2の電極に対応する1つの表示ラインを順次選択し、各表示ラインが選択される期間内に前記複数の第3の電極に表示データに対応する電圧を1ライン分印加し、

前記維持放電期間においては、前記複数対の第1及び第2の電極との間に周期的に極性が変化する電圧を印加する請求項1に記載のプラズマディスプレイの駆動方法。

【請求項3】 前記アドレス期間において、前記複数の第3の電極に印加する電圧は、表示データの階調に応じて異なる請求項2に記載のプラズマディスプレイの駆動方法。

【請求項4】 前記アドレス期間において、前記複数の第3の電極に印加される電圧は、段階的に異なる複数の電圧レベルをとり得る請求項3に記載のプラズマディスプレイの駆動方法。

【請求項5】 前記アドレス期間において、前記複数の第3の電極に印加される電圧は、連続的に異なる電圧をとり得る請求項3に記載のプラズマディスプレイの駆動方法。

【請求項6】 前記アドレス期間において、各表示ラインが選択される期間内に、前記第2の電極に印加する電圧を変化させ、前記複数の第3の電極への電圧の印加タイミングを、表示データの階調に応じて変化させる請求項2に記載のプラズマディスプレイの駆動方法。

【請求項7】 前記アドレス期間において、各表示ラインが選択される期間内に前記第2の電極に印加される電圧は、段階的に変化する請求項6に記載のプラズマディ

スプレイの駆動方法。

【請求項8】 前記アドレス期間において、各表示ラインが選択される期間内に前記第2の電極に印加される電圧は、連続的に変化する請求項6に記載のプラズマディスプレイの駆動方法。

【請求項9】 前記アドレス期間において、前記複数の第1の電極に印加される電圧は、一定である請求項3から8のいずれか1項に記載のプラズマディスプレイの駆動方法。

【請求項10】 前記アドレス期間において、各表示ラインが選択される期間内に、前記第1の電極に印加する電圧を変化させ、前記複数の第3の電極への電圧の印加タイミングを、表示データの階調に応じて変化させる請求項2に記載のプラズマディスプレイの駆動方法。

【請求項11】 前記アドレス期間において、各表示ラインが選択される期間内に前記第1の電極に印加される電圧は、段階的に変化する請求項10に記載のプラズマディスプレイの駆動方法。

【請求項12】 前記アドレス期間において、各表示ラインが選択される期間内に前記第1の電極に印加される電圧は、連続的に変化する請求項10に記載のプラズマディスプレイの駆動方法。

【請求項13】 前記維持放電期間は、印加電圧の強度が徐々に増加する請求項1に記載のプラズマディスプレイの駆動方法。

【請求項14】 前記維持放電期間においては、前記セルに印加される電圧信号は、複数の強度の異なるパルスを合成した信号である請求項1に記載のプラズマディスプレイの駆動方法。

【請求項15】 選択的に放電発光を行う複数のセルを有し、

表示データに従って各セルに選択的に電圧を印加し、セル毎に表示データに対応する電荷を蓄積させるアドレス手段と、

前記複数のセルに維持放電電圧を印加し、所定の電荷が蓄積されたセルで放電を生じさせて発光を行わせる維持放電手段とを備えるプラズマディスプレイ装置において、

前記アドレス手段は、表示する階調に対応する複数の異なる電圧を各セルに印加し、

前記維持放電手段は、印加電圧の強度を変化させることを特徴とするプラズマディスプレイ装置。

【請求項16】 前記プラズマディスプレイパネルは、平行に配置された複数対の第1及び第2の電極と、該複数対の第1及び第2の電極に対して直行する形で配置された複数の第3の電極とを備えており、前記セルは前記第1、第2及び第3電極で規定され、

前記アドレス手段は、前記複数の第2の電極にスキャンパルスを順次印加するYスキャンドライバと、

各スキャンパルスが前記第2の電極に印加されている期間内に、前記複数の第3の電極に表示データに対応する電圧を1ライン分印加するアドレスドライバとを備え、前記維持放電手段は、前記複数の第1の電極に周期的に極性が変化する電圧を印加するX共通ドライバと、前記複数の第2の電極に周期的に極性が変化する電圧を印加するY共通ドライバとを備える請求項15に記載のプラズマディスプレイ装置。

【請求項17】 前記アドレス手段は、前記複数の第3の電極に印加する電圧を表示データの階調に応じて異なる電圧から選択するレベル選択手段を備える請求項16に記載のプラズマディスプレイ装置。

【請求項18】 前記アドレス手段は、各表示ラインが選択される期間内に、前記第2の電極に印加する電圧を変化させるレベル変化手段を有し、表示データの階調に応じて前記複数の第3の電極への電圧の印加タイミングを変化させる請求項16に記載のプラズマディスプレイ装置。

【請求項19】 前記アドレス手段は、前記セルに表示データに対応する電荷を蓄積させる時に、前記複数の第1の電極に一定の電圧を印加する請求項17に記載のプラズマディスプレイ装置。

【請求項20】 前記アドレス手段は、各表示ラインが選択される期間内に、前記第1の電極に印加する電圧を変化させるレベル変化手段を有し、前記複数の第3の電極への電圧の印加タイミングを、表示データの階調に応じて変化させる請求項16に記載のプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ機能を有する表示素子であるセルの集合によって構成された表示パネルを駆動する技術に関し、特に、AC（交流）型プラズマディスプレイパネル（Plasma Display Panel:PDP）において、階調表示を行う場合の表示データの書き込み及び、維持放電によって発光表示を行う駆動方法、及びその方法を実現する表示装置に関する。

【0002】上記のAC型PDPは、2本の維持電極に、交互に電圧波形を印加することで放電を持続し、発光表示を行うものである。一度の放電は、パルス印加後、1 μ sから数 μ sで終了する。放電によって発生した正電荷であるイオンは、負の電圧が印加されている電極上の絶縁層の表面に蓄積され、同様に負電荷である電子は、正の電圧が印加されている電極上の絶縁層の表面に蓄積される。

【0003】従って、初めに高い電圧（書き込み電圧）のパルス（書き込みパルス）で放電させて壁電荷を生成した後、極性の異なる前回よりも低い電圧（維持電圧又は維持放電電圧）のパルス（維持パルス又は維持放電パ

ルス）を印加すると、前に蓄積された壁電荷が重複され、放電空間に対する電圧は大きなものとなり、放電電圧の閾値を越えて放電を開始する。つまり、一度書き込み放電を行って壁電荷が形成されたセルは、その後、維持パルスを交互に逆極性で印加することで、放電を維持するという特徴がある。これをメモリ効果又はメモリ機能と呼んでいる。一般にAC型PDPは、このメモリ効果を利用して表示を行うものである。

【0004】

【従来の技術】AC型PDPには、2本の電極で選択放電（アドレス放電）及び維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型がある。階調表示を行うカラーPDPでは、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に弱いという欠点がある。上記の2電極型では、蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招く恐れがある。これを回避するために、カラーPDPでは、面放電を利用した3電極構造が一般に用いられている。更に、この3電極型においても、第3の電極を維持放電を行う第1と第2の電極が配置されている基板に形成する場合と、対向するもう一つの基板に配置する場合がある。また、同一基板に前記の3種の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。更に、蛍光体から発せられた可視光を、その蛍光体を透過してみる場合（透過型）と、蛍光体からの反射を見る場合（反射型）がある。また、放電を行うセルは、障壁（リブ、バリア）によって、隣接セルとの空間的な結合が断ち切られている。この障壁は、放電セルを取り囲むように四方に設けられ完全に密封されている場合と、一方のみに設けられ、他方は電極間のギャップ（距離）の適正化によって結合が切られている場合等がある。本発明はいずれの構成にも適用可能であるが、ここでは、維持放電を行う電極の基板とは別な対向する基板に第3の電極を形成したパネルで、障壁が垂直方向（つまり、第1電極と第2電極に直交し、第3電極と平行）にのみ形成され、維持電極の一部が透明電極によって形成されている反射型を例として説明する。

【0005】上記の3電極・面放電のPDPとして、図12にその概略平面図を示すようなものが知られている。また、図13は、図12のパネルの一つの放電セルにおける概略的断面図（垂直方向）であり、図14は同様に水平方向の概略的断面図である。なお、以下に示す図においては、同一の機能部分には同一の参照番号を付与して表すこととする。

【0006】パネルは、2枚のガラス基板21、29によって構成されている。第1の基板21には、平行する維持電極である第1電極（X電極）12及び第2電極

(Y電極) 13を備えており、これらの電極は透明電極22a、22bとバス電極23a、23bによって構成されている。透明電極は蛍光体からの反射光を透過させる役割があるため、ITO(酸化インジウムを主成分とする透明な導体膜)等によって形成される。また、バス電極は、電気抵抗による電圧ドロップを防ぐため、低抵抗で形成する必要がある、Cr(クロム)やCu(銅)によって形成される。更に、それらを、誘電体層(ガラス)24で被服し、放電面には保護膜としてMgO(酸化マグネシウム)膜25を形成する。また、第1のガラス基板21と向かい合う第2の基板29には、第3の電極(アドレス電極)13を、維持電極と直交する形で形成する。また、アドレス電極間には、障壁14を形成し、その障壁の間には、アドレス電極を覆う形で赤・緑・青の発光特性を有する蛍光体27を形成する。障壁14の尾根と、MgO面25が密着する形で2枚のガラス基板が組み立てられている。蛍光体27とMgO面25の間の空間が放電空間26である。

【0007】また、図15は、図12から図14に示したPDPを駆動するための周辺回路を示した概略的ブロック図である。アドレス電極13-1、13-2、…は1本毎にアドレスドライバ105に接続され、そのアドレスドライバによってアドレス放電時のアドレスパルスが印加される。また、Y電極11-1、11-2、…はYドライバ101に接続される。Yドライバ101はYスキャンドライバ102とY共通ライバ103で構成され、Y電極は個別にYスキャンドライバ102に接続される。Yスキャンドライバ102はY共通ドライバ103に接続されており、アドレス放電時のパルスはYスキャンドライバ102から発生し、維持パルス等はY共通ドライバ103で発生し、Yスキャンドライバ102を経由して、Y電極に印加される。X電極12はパネルの全表示ラインに亘って共通に接続され取り出される。X共通ドライバ104は、書き込みパルス、維持パルス等を発生する。これらのドライバ回路は、制御回路によって制御され、その制御回路は、装置の外部より入力される同期信号や表示データ信号によって制御される。

【0008】PDPでの階調表示は、通常、表示データの各ビットをサブフィールド期間に対応させ、ビットの重み付けに応じてサブフィールド期間の長さを変えることにより行っている。例えば、256階調表示を行う場合には表示データは8ビットで表され、1フレームの表示を8個のサブフィールド期間で行い、各ビットデータの表示をそれぞれのサブフィールド期間で行う。サブフィールド期間の長さは、1:2:4:8:16:32:64:128になっている。

【0009】図16は、図12から図14に示すPDPを図15に示した回路によって駆動する従来の方法を示す波形図であり、いわゆる従来の「アドレス/維持放電期間分離型・書き込みアドレス方式」における1サブフ

ィールド期間を示している。この例では、1サブフィールドは、リセット期間とアドレス期間更に維持放電期間に分割される。リセット期間においては、まずすべてのY電極が0Vレベルにされ、同時に、X電極に電圧 $V_s + V_w$ (約330V)からなる全面書き込みパルスが印加され、それまでの表示状態にかかわらず全表示ラインの全セルで放電が行われる。この時のアドレス電極電位は、約100V(V_{aw})である。次に、X電極とアドレス電極の電位が0Vとなり、全セルにおいて壁電荷自体の電圧が放電開始電圧を越え、放電が開始される。この放電は、自己中和して放電が終息する。いわゆる、自己消去放電である。この自己消去放電によって、パネル内の全セルの状態が、壁電荷のない均一な状態になる。このリセット期間は、前のサブフィールドの点灯状態にかかわらずすべてのセルを同じ状態にする作用があり、次のアドレス(書き込み)放電を安定に行うことができるようにするために行われる。

【0010】次に、アドレス期間において、表示データに応じたセルのオン/オフを行うために、線順次でアドレス放電が行われる。まず、Y電極に $-V_Y$ レベル(約マイナス150V)のスキャンパルスを印加すると共に、アドレス電極の内、維持放電を起こすセル、すなわち、点灯させるセルに対応するアドレス電極に電圧 V_a (約50V)のアドレスパルスが選択的に印加され、点灯させるセルのアドレス電極とY電極の間で放電が起きる。次に、これをプライミング(種火)としてX電極(電圧 $V_x = 50V$)とY電極間の放電が行われ両電極のMgO面に維持放電が可能な量の壁電荷が蓄積する。

【0011】以下、順次他の表示ラインについても同様の動作が行われ、全表示ラインにおいて、新たな表示データの書き込みが行われる。その後、維持放電期間になると、Y電極とX電極に交互に電圧が V_s (約180V)である維持パルスが印加されて維持放電が行われ、1サブフィールドの画像表示が行われる。この際、アドレス電極とX電極又はY電極間での放電を避けるために、アドレス電極に約100Vの電圧 V_{aw} を印加している。

【0012】なお、かかる「アドレス/維持放電分離型・書き込みアドレス方式」においては、維持放電期間の長短、つまり維持パルスの回数によって輝度が決定される。具体的には、多階調表示の一例として、256階調表示を行う場合の駆動方法を図17に示すこととする。この例では、1フレームは、8個のサブフィールド:SF1~SF8に区分される。

【0013】そして、これらのサブフィールド、SF1~SF8においては、リセット期間とアドレス期間は、それぞれ同一の長さとなる。また、維持放電期間の長さは、1:2:4:8:16:32:64:128の比率となる。従って、点灯させるサブフィールドを選択することで、0から255までの256階調の輝度の違いを

表示できる。

【0014】

【発明が解決しようとする課題】以上の説明のように、AC型プラズマディスプレイパネルにおける従来の駆動方法では、1回のアドレスサイクルにおいて、表示データの書換えが行えるのは1表示であり、1000本の表示ラインを持ったパネルにおいては1000回のアドレスサイクルが必要になる。

【0015】また、階調表示を行う場合、1フレームを発光回数の異なった数枚のサブフィールドで構成する必要があるため、そのサブフィールド毎に表示ライン分のアドレスサイクルが必要となる。明るい表示を行うためには、維持放電の回数を多くする必要がある。一定の時間に多くの維持放電サイクルを押し込む方法も考えられるが、メモリ効果を十分に引き出し、より低い電圧（少ない電力）で動作させるためには、維持パルスの幅を長くする必要がある。通常、 $5\mu s$ 程度のパルス幅が必要である。電力を犠牲にした場合、高い電圧を印加して、 $3\mu s$ 程度のパルス幅でも維持放電が可能であるが、このへんが限界である。よって高輝度表示のためには、フレーム内の維持放電期間を長くとの必要がある。そうすると、発光に寄与しない期間であるアドレス期間を犠牲にする必要があるが、その場合、安定なアドレス放電にも $3\mu s \sim 5\mu s$ の時間が必要であるため、多くの表示ラインを持ったパネルにおいて、多階調表示ができなくなる。表示ライン数と多階調表示を優先的に考えるなら、輝度を犠牲にすることになる。

【0016】このように、輝度（維持放電の回数）と、階調表示又は表示ライン数や電圧等は、トレードオフの関係にあり、高精細大画面パネルでのフルカラー高輝度表示を阻害している。プラズマディスプレイにより階調表示を行う手法として用いられるサブフィールド法には、前記のような時間的な制約により阻害されている問題以外に、1フレームで発光する画面が、時間的に分割されているために、動画表示の際にサブフィールド毎に画像が分離して見えるため、不自然さが存在する。

【0017】以上のように、現状のサブフィールド法による階調表現は、装置の表示品質を大きく阻害している。本発明は、このような問題を解決し、高精細大画面パネルでのフルカラー高輝度表示を実現することを目的とする。

【0018】

【課題を解決するための手段】上記目的を達成するため、本発明のプラズマディスプレイの駆動方法及びプラズマディスプレイ装置においては、各セルへの書き込み電圧を階調に応じて変化させ、維持放電において、書き込まれた電圧に応じて発光強度が異なるようにすることで階調表示を行う。

【0019】すなわち、本発明のプラズマディスプレイの駆動方法は、選択的に放電発光を行う複数のセルを有

し、表示データに従って各セルに選択的に電圧を印加し、セル毎に表示データに対応する電荷を蓄積するアドレス期間と、複数のセルに維持放電電圧を印加し、所定の電荷が蓄積されたセルで放電を生じさせて発光を行わせる維持放電期間とを備えるプラズマディスプレイパネルの駆動方法において、上記目的を達成するため、アドレス期間においては、表示する階調に対応する複数の異なる電圧を各セルに印加してセル毎に印加電圧に対応した量の電荷を蓄積し、維持放電期間においては、印加電圧の強度を変化させることを特徴とする。

【0020】また、本発明のプラズマディスプレイ装置は、選択的に放電発光を行う複数のセルを有し、表示データに従って各セルに選択的に電圧を印加し、セル毎に表示データに対応する電荷を蓄積させるアドレス手段と、複数のセルに維持放電電圧を印加し、所定の電荷が蓄積されたセルで放電を生じさせて発光を行わせる維持放電手段とを備えるプラズマディスプレイ装置において、上記目的を達成するため、アドレス手段においては、表示する階調に対応する複数の異なる電圧を各セルに印加し、維持放電手段においては、印加電圧の強度を変化させることを特徴とする。

【0021】維持放電においても印加電圧を変化させ、各セルが保持した壁電荷の量に応じて選択的に発光するようにする。これにより、各セルは保持した壁電荷の量に応じて維持放電を行う期間が変化するため、書き込み時の印加電圧に応じて実効的な輝度が変化する。本発明を面放電を利用した3電極型のプラズマディスプレイ装置に適用した場合には、プラズマディスプレイパネルは、平行に配置された複数の第1の電極と複数の第2の電極と、複数の第1の電極と複数の第2の電極に対して直行する形で配置された複数の第3の電極とを備えており、セルは第1、第2及び第3電極で規定される。アドレス期間には、複数の第2の電極にスキャンパルスを順次印加することによりスキャンパルスが印加される第2の電極に対応する1つの表示ラインを順次選択し、各表示ラインが選択される期間内に複数の第3の電極に表示データに対応する電圧を1ライン分印加することをすべての表示ラインについて行い、維持放電期間には、複数の第1の電極と複数の第2の電極との間に周期的に極性が変化する電圧を印加する。このような場合、各セルに表示する階調に対応する複数の異なる電圧を印加するには、複数の第3の電極に印加する電圧を表示データの階調に応じて異なるか、各表示ラインが選択される期間内に、第2の電極に印加する電圧を変化させ、複数の第3の電極への電圧の印加タイミングを、表示データの階調に応じて変化させるか、各表示ラインが選択される期間内に、前記第1の電極に印加する電圧を変化させ、複数の第3の電極への電圧の印加タイミングを、表示データの階調に応じて変化させることで実現される。アドレス期間で各セルに印加される電圧は、デジタルデータの

ように段階的に異なる複数の電圧レベルをとり得るようにするか、アナログデータのように連続的に異なる電圧をとり得るようにする。

【0022】本発明は、表示セルの選択のための放電であるアドレス放電の際に、電極に対する印加電圧の差によって、放電収束後に生成される壁電荷の電圧値に違いが生じ、壁電荷の電圧値に違いにより維持放電が開始される印加電圧を変化することに着目し、アドレス期間における印加電圧を階調に応じて変化させて壁電荷の電圧値に違いを生じさせ、その差に応じて維持放電期間を変化させることで階調表示を行わせる。言い換えれば、1回の書き込み動作、すなわち1サブフィールドで複数段階の輝度が表示できるようになる。

【0023】

【発明の実施の形態】図1は、本発明の第1実施例の3電極・AC型PDP（プラズマディスプレイ）の全体構成を示す図である。図1において、参照番号100はプラズマディスプレイパネルを、101はYドライバを、102はYスキンドライバを、103はY共通ドライバを、104はX共通ドライバを、105はアドレスドライバを、106は制御回路を、112はYドライバ101のレベル変化回路を、113はX共通ドライバ104のレベル変化回路を、114-1から114-Mはアドレスドライバ105のレベル選択回路を、115はシフトレジスタを示す。

【0024】本実施例のプラズマディスプレイパネルは、図12から図14に示した従来のものと同様の構成を有する。Yドライバ101、X共通ドライバ104、及びアドレスドライバ105は、従来のものとほぼ同様の構成を有するが、それぞれがY電極、X電極、及びアドレス電極に印加する電圧を従来より多数のレベルで変化させられるようにレベル変化回路112、113、及びレベル選択回路114-1から114-Mを有している点を除いて、従来のものと同様の構成を有しているので、ここでは異なる点についてのみ説明する。更に、制御回路106もY電極、X電極、及びアドレス電極に印加する電圧のレベルを変化させるための構成以外は従来のものと同様の構成を有している。

【0025】この第1実施例に示した駆動回路は、Y、X、アドレスの各電極の駆動回路に、それぞれレベル変化回路を有する構成で示してあるが、以下に示す印加波形の形態に応じて必要な回路が限定される。図2から図4に、第1実施例の駆動波形を各電極に印加するための駆動回路を示す。これらの図は、電極に電圧を印加する高圧部のみ示しているため、制御信号を発生する制御部や各高圧回路の印加する電源の回路は省略している。

【0026】図2は、X共通ドライバ104の回路の概略図である。X電極は、維持放電期間において3値の維持パルスを発生させるために、 V_{s1} 、 V_{s2} 、 V_{s3} のそれぞれ3種類の電源に接続されたスイッチング素子

であるFET（電界効果トランジスタ）201、202、203とGND（0V）に接続されたFET204から構成される。各FETのゲートには、それぞれ信号S1、S2、S3、S4が印加される。維持期間を分割した最初の期間である第1維持期間においては、FET201とFET204が、2番目の期間である第2維持期間においてはFET202とFET204が、3番目の期間である第3維持期間においてはFET203とFET204が、それぞれ交互にスイッチングを繰り返す、所定の電圧の維持パルスをX電極に印加する。ここで、従来は図26に示すような一定の電圧 V_s とGNDの間で切り換わる維持パルスを印加するだけであるから、FET201とFET204で構成される回路だけを有していた。

【0027】図3は、Y電極を駆動する回路の概略図である。FET211からFET216までが、Y共通ドライバ103に相当部分で、FET217がYスキンドライバ103に相当する。FET217は、Y電極毎に設けられている。FET211からFET214までは、X共通ドライバ104と同じ動作を行い、それぞれの維持期間において交互にスイッチングを繰り返す。一方、アドレス期間においては、FET215がオフし、選択するY電極に対応するスキンドライバのFET217がオンし、次にFET216がオンすることで、選択したY電極を所定の V_Y の電位まで引き下げる。この動作を選択電極毎に順次行う。また、維持放電期間では、FET215とFET217がオンしたままとなるため、Y電極への電流の供給と引き込みはFET215とFET217（及び、その内蔵ダイオード）を通して行われる。

【0028】図4は、アドレス電極を駆動する回路、いわゆるアドレスドライバ105のレベル選択回路の概略図である。このようなレベル選択回路が各アドレス電極毎に設けられている。アドレス電極は、アドレス期間において3値のアドレスパルスを発生するために、 V_{a1} 、 V_{a2} 、 V_{a3} のそれぞれの3種類の電源に接続されたFET221、222、223とGND（0V）に接地されたFET224によってそれぞれのビットが構成される。目的の電圧に応じてそれぞれのFETがオンし、所定のアドレスパルスを印加する。

【0029】なお、以下に説明する第2から第6実施例のPDPも第1実施例のPDPと同様の構成を有する。図5は、第1実施例における動作を示すフローチャートである。第1実施例における基本的な動作をこのフローチャートを参照して説明し、その後タイムチャートを利用してより具体的に説明する。

【0030】まず、ステップ501では、図16に示したリセット動作を行う。ステップ502では、制御回路106から送られてくる1列目の表示データに従って、各アドレス電極に印加するレベルを選択する。ステップ

503では、ステップ502で選択したレベルに従って図4の信号S21、S22、S23、S24のいずれかが「高」状態にされて表示データに対応する電圧がアドレス電極に印加される。同時に、図3の信号S15は「低」状態にされ、信号S16が「高」状態にされ、選択されるY電極に接続されるFETのゲートに印加される信号S17が「高」状態にされる。これにより、選択されたY電極とアドレス電極の間で、アドレス電極に印加される電圧に応じた強度で放電が行われる。従って、アドレス電極にGNDの電圧が印加された時には放電は行われないことになる。

【0031】以上のステップ502と503の動作を全Y電極について行うまで繰り返す。ステップ504では、ステップ502と503の動作が全Y電極について終了したかが判定される。以上の動作が終了すると書き込み動作が終了する。ステップ505では、レジスタnにNを記憶させる。ステップ506では、N段階のうちのn番目のレベルの電圧を印加して、そのレベルに対応してあらかじめ定められた期間、維持放電を行う。具体的には、図2と図3の信号S15を「高」状態にし、信号S1とS11、S2とS12、S3とS13のうちのn番目の組と、S4とS14を交互に「高」状態にする。

【0032】ステップ507では、N段階の維持放電が終了したかが判定する。実際にはレジスタnの値がゼロであるかを判定することにより行う。ステップ508では、レジスタnの値を1減じて、ステップ506に戻る。以上で1画面（フレーム）の表示が終了する。もし、階調表示の一部をサブフィールドに分割して各サブフィールドの期間を変えることにより行い、一部を本発明の書き込みの電圧強度を変化させて行う場合には、図5の一連の動作を各サブフィールド毎に実行して、1フレームの表示が終了する。

【0033】次に、第1実施例の動作をタイムチャートで説明する。図6は、本発明の第1実施例における各電極の駆動波形を示す図である。本発明においては、アドレス電極の電圧パルスを表示データに応じ、つまり、点灯すべきセルの必要な輝度に応じて可変している。アドレス電極に印加される電圧パルスは、非選択の電位を含めると、0V、Va1、Va2、Va3の4値を有している。よって、スキャンパルスが印加された際に起きる放電の規模は、アドレスパルスがどの電圧値を取るかにより決定され、その放電によって放電セル内に蓄積される壁電荷の量、すなわち、電圧値もそれぞれの異なった値を持つ。この手法によれば、0Vにて放電を実行しない場合も含め、4値の壁電荷による電圧値（壁電圧と呼ぶ）が選択される。所定の表示ラインのスキャンが終了すると、維持放電期間に入る。

【0034】維持放電パルスも、3値の値を持ち、アドレス期間に形成された壁電圧の差によって、放電を開始

するタイミングが異なってくる。具体的にいえば、アドレスパルスが0Vであり非選択となったセルは、壁電圧が0Vであるためどの維持パルスによっても放電は行われない。電圧Va1からなるアドレスパルスによってアドレス放電が行われたセルは、形成された壁電圧が小さいため、大きな電圧の維持パルスにおいてのみ放電を開始することが可能であり、VS3の維持電圧が印加された時点から維持放電を持続する。次に、電圧Va2からなるアドレスパルスによってアドレス放電が行われたセルは、形成された壁電圧が中規模であるため、VS2の維持電圧が印加された時点から維持放電を持続する。よって、VS3の維持パルスが印加された時点でも維持放電は行う。更に、電圧Va3からなるアドレスパルスによってアドレス放電が行われたセルは、形成された壁電圧が大きいため、低い電圧の維持パルスでの放電開始が可能であるため、電圧VS1からなる初めの維持パルスから放電を行い、以降継続する。

【0035】1つのパネルの特性を例に、実際の電圧条件を次に示す。アドレス電極とY電極間の放電開始電圧（V_{fay}）は150Vである。X電極とY電極間で維持放電を実行するために必要な維持電圧の下限（V_{sm}）は150Vであり、X電極とY電極間で放電を開始するために必要な放電開始電圧は、220Vである。よって、スキャンパルス（-VY）NO電圧は、マイナス140Vであり、アドレスパルスのVa1は20V、Va2は40V、Va3は60Vである。また、維持パルスのVS1は160V、VS2は180V、VS3は200Vである。Va1（20V）からなるアドレスパルスが印加され、Y電極にスキャンパルス（-VY=-140V）が印加されると、両電極間の電位差は160Vとなり、アドレス電極とY電極間の放電開始電圧を越えてアドレス放電が行われる。この放電によって、Y電極とX電極間に形成される壁電圧は、30V程度であるため、VS3（200V）からなる維持パルスが印加された時点で、壁電圧と印加電圧との和が放電開始電圧である220Vを越えるため、維持放電が行われる。また、Va3（60V）のアドレスパルスが印加された場合は、スキャンパルスとの電圧が200Vに達し、アドレス放電によってY電極とX電極間に形成される壁電圧は、70V程度になるため、電圧が160Vの初めの維持電圧が印加された時点で壁電圧と印加電圧との和が放電開始電圧を越えて維持放電が行われる。このセルは維持放電期間の終了時まで放電を繰り返す。

【0036】このように、第1実施例においては、1度のスキャンにおいて、4段階の明るさの違いが表現できる。つまり、4階調の表現には、従来、2つのサブフィールドを必要としていたのに対し、本発明により、1つのサブフィールドでこれが行えるのである。図7は、本発明の第2実施例の駆動波形図である。図7に従って、第2実施例の動作を説明する。

【0037】アドレス期間の動作は、第1実施例とまったく同じであるが、維持放電期間に印加する維持パルスは、電圧VS1からなる維持パルスが繰り返し印加される中で、一定期間毎に、電圧VS2と電圧VS3の維持パルスがそれぞれ印加されるVa3のアドレスパルスによって放電したセルは、初めの維持パルスから放電を行う。VS1のアドレスパルスによって放電し、小さな壁電圧を持ったセルは、VS3の維持パルスが印加された時点で放電を行い、以降小さな電圧の維持パルスでも放電を繰り返す。

【0038】第1実施例と第2実施例の違いを説明する。一般に、プラズマディスプレイは、印加電圧によって放電の強さが決まり、それに応じて輝度の大きくなる特性を持っている。よって、第1実施例の場合は、第1維持期間より第3維持期間の方が1度の放電では高輝度の放電が行われる。一方、第2実施例の場合には、単発的に挿入されるVS2及びVS3の維持パルス以外は、一定の輝度で放電を繰り返すため、輝度はどの維持期間でも同じであり、維持放電の回数によってのみ決定される。(VS2及びVS3の維持パルスによる放電は、VS1の電圧で繰り返す維持放電期間の全数に比べ無視できる程影響は小さい。)

アドレスパルスの選択が、直線的な輝度比で選択される場合、つまり、表示したい輝度比が1:2:3である場合は、第2実施例においては、第1及び第2、第3の維持期間(つまり、維持パルスの数)は同じ時間でよい。一方、第1実施例においては、第1維持期間より第3維持期間の方が、1回の放電での発光輝度が大きいので、少ない回数で所定の輝度が得られるため、第3維持期間は短くする必要がある。つまり、第1から、第2、第3の期間の輝度を同じにすればよい。また、非線型な輝度比を望む場合は、その特性に応じてそれぞれの維持期間の維持パルスの回数を設定すればよい。

【0039】以上の実施例は、1サブフィールドで4値の輝度表現の例であるが、アドレスパルス及び維持パルスの取りえる段階を増加させることによって、更に多くの階調表現が行える。最終的には、駆動回路が伴えば、無限段階のつまり、アナログ的な輝度表現が可能となる。図8は、第3実施例の波形図である。

【0040】図8においては、アドレス期間における印加電圧のみを示しており、維持放電期間の動作は、第1もしくは第2実施例と同様である。第3実施例は、アドレスパルスは一定の電圧のみを印加することになり、1ラインの選択期間において、スキャンパルスの電圧を徐々に低下させている。最大輝度を表現したい場合には、第1及び第2実施例と同様に、大きな壁電圧を形成する必要があるため、スキャンパルスが最大の電圧(VY4)をとる時点で、アドレスパルスを印加する。一方、最小輝度の場合には、スキャンパルスが最小の電圧(VY1)になった時点でアドレスパルスを印加すればよ

い。この動作を順次行うことによって、表示データの階調に応じた壁電圧を全表示セルに形成することが可能になる。

【0041】第3実施例においては、スキャンパルスの電圧を4段階に渡って変化させる必要がある。このような動作を実現するには、例えば、図3の回路の各Y電極に接続されるYスキャンドライバにそれぞれ、FET211から213で構成されるような回路を設ければよい。4段階であるからFETを更に1個追加して、それぞれに供給する電源を4種類とする。

【0042】図9は、第4実施例の波形図である。基本的には第3実施例と同様であるが、スキャンパルスの電圧をアナログ的に変化させ、それに応じてアドレスパルスを印加するタイミングもアナログ的に変化させることを可能にした実施例である。ここでは、アナログ的に変化させる維持パルスを伴えば、アナログ的な階調表現が可能になる。

【0043】各電圧パルスとパネル特性の関係を述べると、スキャンパルスの最小電圧とアドレスパルス電圧の和が、アドレス電極とY電極間の放電開始電圧を僅かに上回った値に設定する。また、スキャンパルスの最大電圧は、0Vの電位にあるX電極との間で放電を開始しない値に設定する。第4実施例においては、スキャンパルスの電圧をアナログ的に連続的に変化させる必要がある。このような動作を実現するには、例えば、図3の回路の各Y電極に接続されるYスキャンドライバにそれぞれ、オペアンプ等で構成される増幅回路を設け、線型に変化する信号を印加する必要がある。

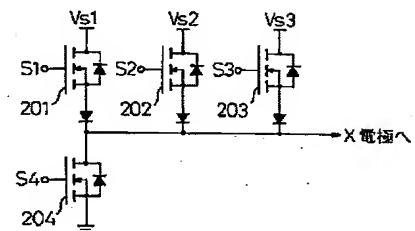
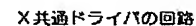
【0044】図10は、第5実施例の波形図である。図10においては、アドレス期間における印加電圧のみを示しており、維持放電期間の動作は、第1もしくは第2実施例と同様である。第5実施例は、アドレスパルス及びスキャンパルスは一定の電圧のみを印加することになり、1ラインの選択期間において、X電極の電圧を徐々に低下させている。最大輝度を表現したい場合は、第1及び第2実施例と同じように、大きな壁電圧を形成する必要があるため、X電極の電圧が最大の電圧をとる時点で、アドレスパルスを印加する。一方、最小輝度の場合には、X電極の電圧が最小の電圧の時点でアドレスパルスを印加すればよい。この動作を順次行うことによって、表示データの階調に応じた壁電圧を全表示セルに形成することが可能になる。

【0045】第5実施例においては、X共通ドライバ104の出力をアドレス期間に段階的に変化させる必要があるが、X共通ドライバ104は維持放電期間に同様の動作を行っており、図2の回路で与える信号を変更すればよい。図11は、第6実施例の波形図である。基本的な動作は第5実施例と同じであるが、X電極の電圧をアナログ的に変化させ、それに応じてアドレスパルスを印加するタイミングもアナログ的に印加することを可能に

【図4】第1実施例のアドレスドライバの回路構成を示す図である。

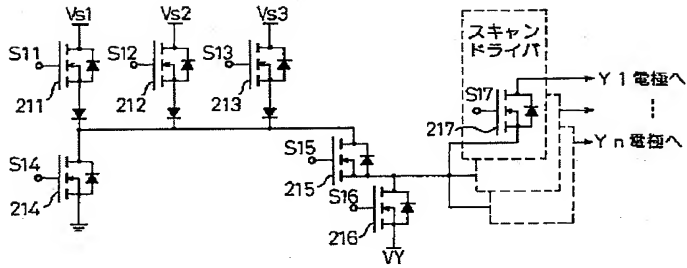
106...制御回路

【図2】



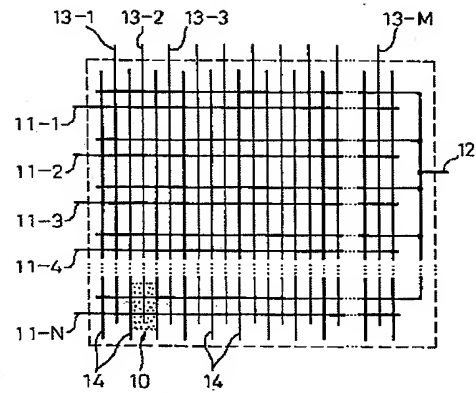
【図3】

Yドライバのレベル変化部



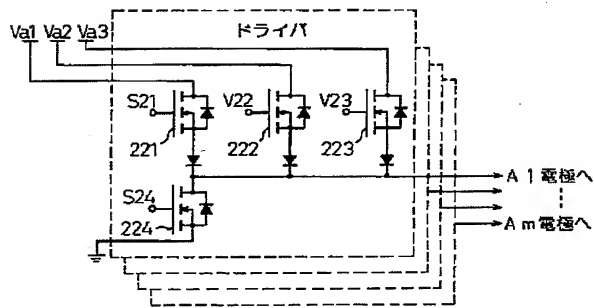
【図12】

3電極・面放電・AC型PDPの概略平面図

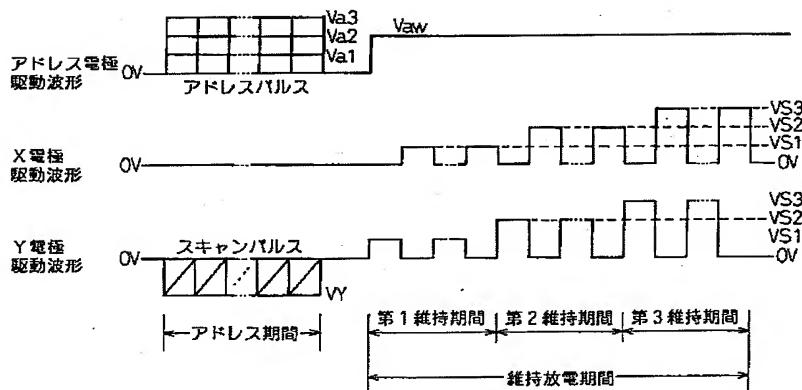


【図4】

アドレスドライバのレベル変化回路

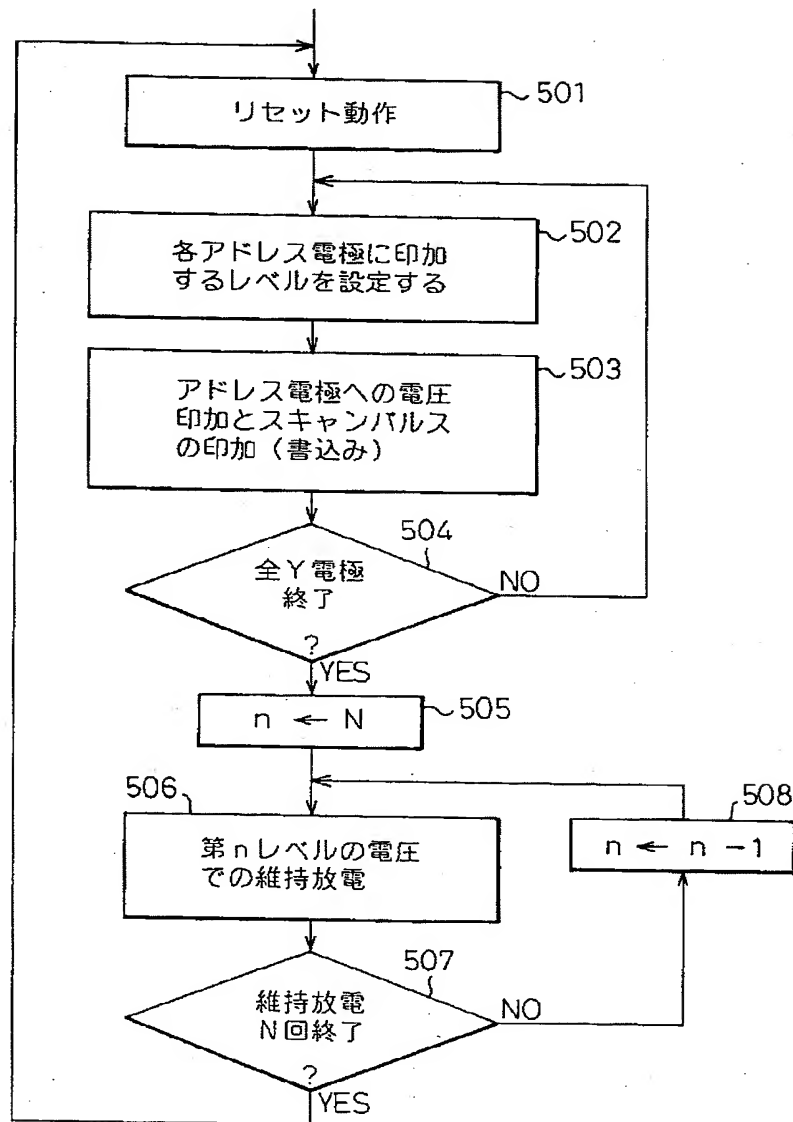


【図6】

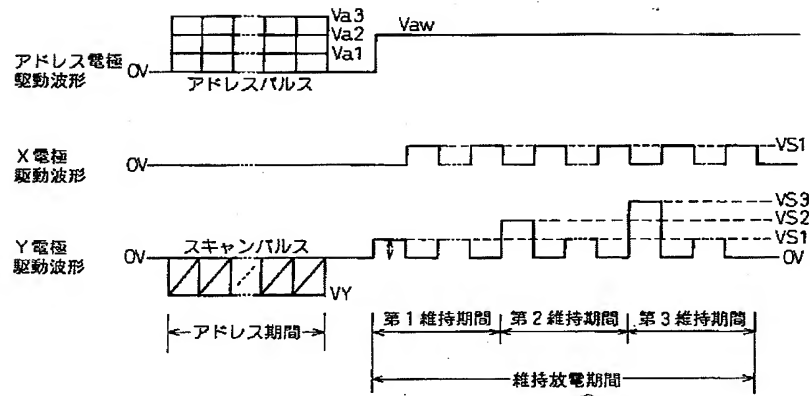


【図5】

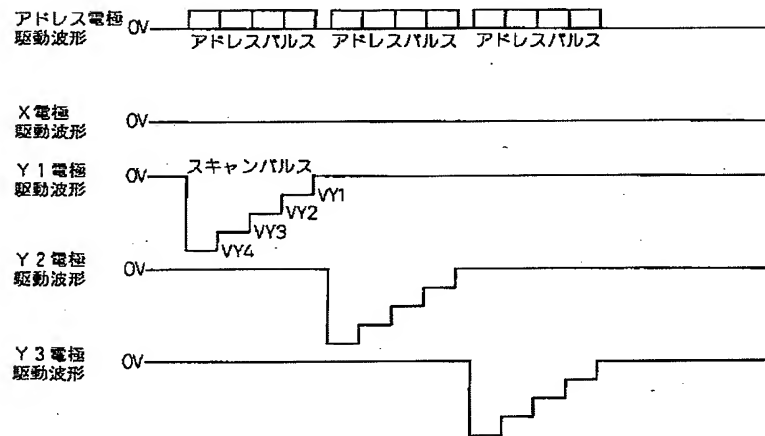
第1実施例における動作



【図7】

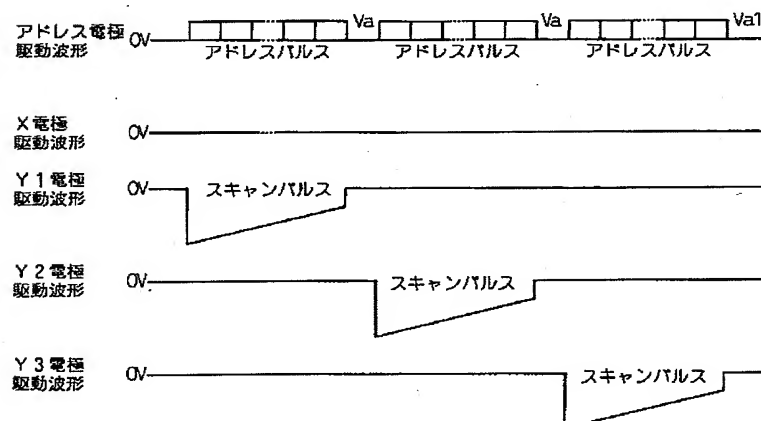


【図8】



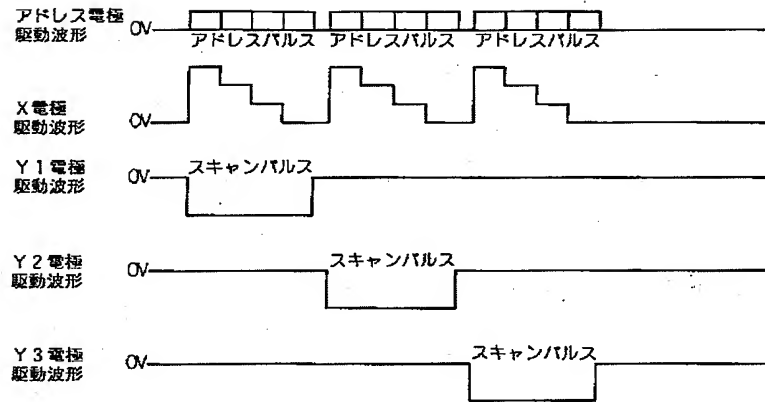
【図9】

第4実施例の駆動波形



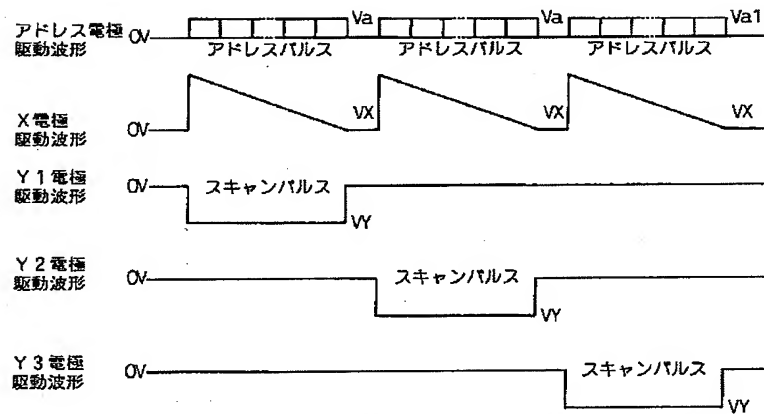
【図10】

第5実施例の駆動波形



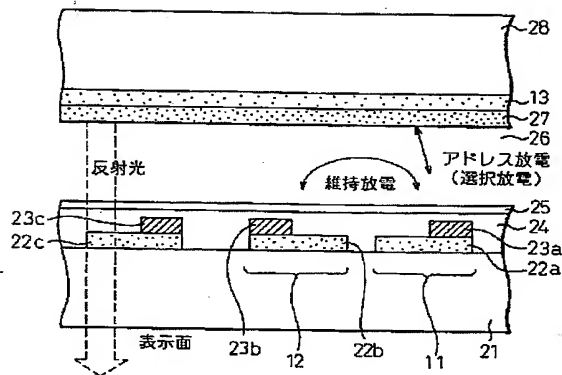
【図11】

第6実施例の駆動波形



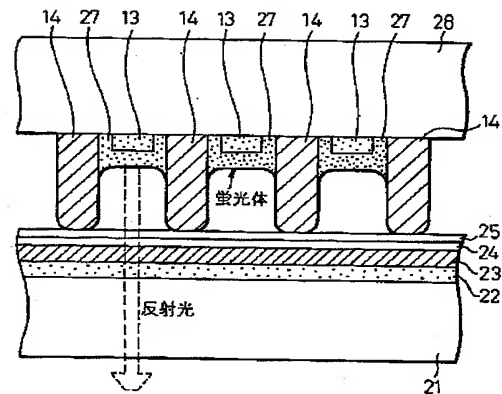
【図13】

3電極・面放電・AC型PDPの概略断面図



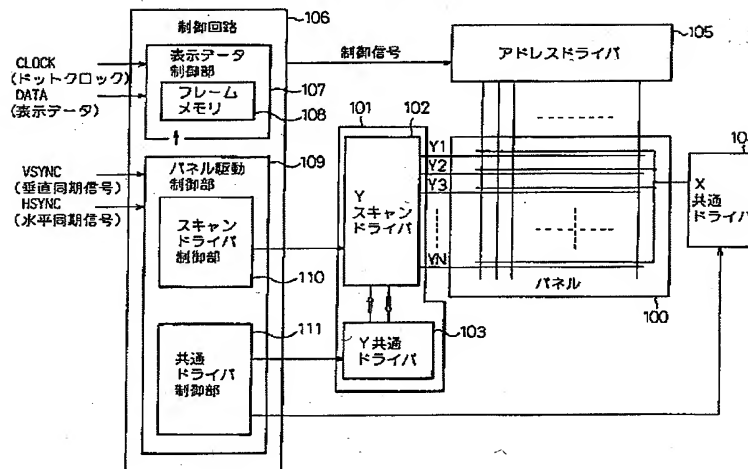
【図14】

3電極・面放電・AC型PDPの概略断面図

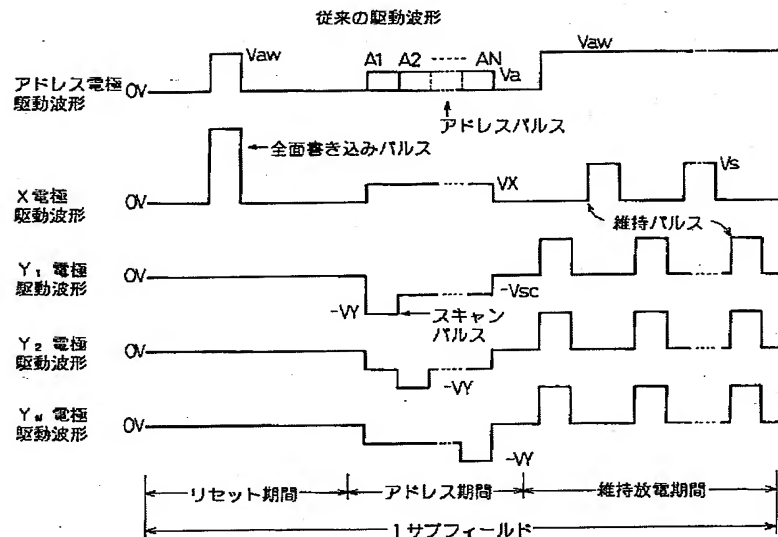


【図15】

3電極・AC型PDPの駆動回路のブロック構成



【図16】



【図17】

PDPで階調表示するアドレス/維持放電分離型
アドレス方式のタイムチャート

